

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-286694

(43)Date of publication of application : 13.10.2000

(51)Int.Cl.

H03K 19/0185

H03F 3/345

H03F 3/45

(21)Application number : 2000-057907

(71)Applicant : SHARP CORP

(22)Date of filing : 02.03.2000

(72)Inventor : CAIRNS GRAHAM ANDREW
BROWNLOW MICHAEL JAMES
KUBOTA YASUSHI
WASHIO HAJIME

(30)Priority

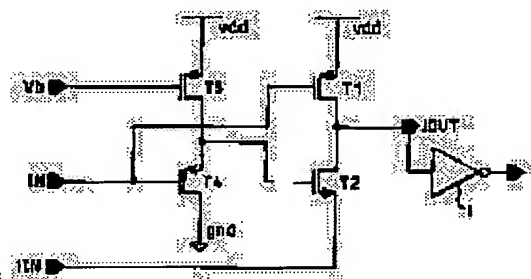
Priority number : 99 9905041 Priority date : 05.03.1999 Priority country : GB

(54) VOLTAGE LEVEL SHIFTER

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the performance of a voltage level shifter.

SOLUTION: A first circuit branching section is provided with a first transistor T1 having a first conductivity, an output electrode connected to the output, and a control electrode connected to the first input and a second transistor T2 having a second conductivity which is opposite to the first conductivity, an output electrode connected to the output, and a common electrode connected to the second input. The control electrode of the second transistor T2 is connected to a second circuit branching section having first-conductivity third and fourth transistors T3 and T4. The conducting routes of the transistors T3 and T4 are connected in series between first and second power supplying inputs and the control electrode of the fourth transistor T4 is connected to the first input. The control electrode of the second transistor T2 is connected to the output electrode of the third transistor T3 and the common electrode of the fourth transistor T4.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)【発行国】日本国特許庁(JP)

(12)公開特許公報(A)

(11)【公開番号】特開2000-286694(P2000-286694A)

(43)【公開日】平成12年10月13日(2000. 10. 13)

(51)【国際特許分類第7版】

H03K 19/0185

H03F 3/345

3/45

【FI】

H03K 19/00 101 D

H03F 3/345 B

3/45 Z

H03K 19/00 101 E

【審査請求】未請求【請求項の数】13【出願形態】OL【全頁数】12

(21)【出願番号】特願2000-57907(P2000-57907)

(22)【出願日】平成12年3月2日(2000. 3. 2)

(31)【優先権主張番号】9905041. 1

(32)【優先日】平成11年3月5日(1999. 3. 5)

(33)【優先権主張国】イギリス(GB)

(71)【出願人】

【識別番号】000005049

【氏名又は名称】シャープ株式会社

【住所又は居所】大阪府大阪市阿倍野区長池町22番22号

(72)【発明者】

【氏名】グラハム アンドリュウ カーンズ

【住所又は居所】イギリス国 オーエックス2 8エヌエイチ オックスフォード, カッテスロウ, バーン クローズ 22

(72)【発明者】

【氏名】マイケル ジェームズ ブラウンロー

【住所又は居所】イギリス国 オーエックス4 4ワイビー オックスフォード, サンドフォード オン テムズ, チャーチ ロード 124

(72)【発明者】

【氏名】久保田 靖

【住所又は居所】奈良県桜井市朝倉台西5-1093-267

(72)【発明者】

【氏名】鷺尾 一

【住所又は居所】奈良県天理市櫛本町2613-1 シャープ社宅1-107

(74)【代理人】

【識別番号】100078282

【弁理士】

【氏名又は名称】山本 秀策

(54)【発明の名称】電圧レベルシフタ

(57)【要約】(修正有)

【課題】電圧レベルシフタの性能を改善する。

【解決手段】第1の回路分岐部は、出力に接続された出力電極および第1



の入力に接続された制御電極を有す

る、第1の導電型の第1のトランジスタT1と、出力に接続された出力電極、直接入力信号に対応する信号を受け取る制御電極、および第2の入力に接続された共通電極を有する、第1の導電型と反対である第2の導電型の第2のトランジスタT2とを有し、第2のトランジスタの制御電極は第2の回路分岐部に接続されており、第2の回路分岐部は、第1の導電型である第3および第4のトランジスタT3、T4を有しており、第3および第4のトランジスタの主たる導電経路は第1および第2の電源供給入力間に直列に接続されており、第4のトランジスタの制御電極は第1の入力に接続されており、第2のトランジスタの制御電極は第3のトランジスタの出力電極および第4のトランジスタの共通電極に接続されている。

【特許請求の範囲】

【請求項1】 第1の回路分岐部と、直接入力信号を受け取る第1の入力と、反転入力信号を受け取る第2の入力と、該直接入力信号に対して反転されかつレベルシフトされた反転出力信号を生成するための出力とを有する電圧レベルシフタであって、該第1の回路分岐部は、該出力に接続された出力電極および該第1の入力に接続された制御電極を有する、第1の導電型の第1のトランジスタと、該出力に接続された出力電極、該直接入力信号に対応する信号を受け取るように構成された制御電極、および該第2の入力に接続された共通電極を有する、該第1の導電型と反対である第2の導電型の第2のトランジスタと、を有し、該第2のトランジスタの該制御電極は第2の回路分岐部に接続されており、該第2の回路分岐部は、該第1の導電型である第3および第4のトランジスタを有しており、該第3および第4のトランジスタの主たる導電経路は第1および第2の電源供給入力間に直列に接続されており、該第4のトランジスタの制御電極は該第1の入力に接続されており、該第2のトランジスタの該制御電極は該第3のトランジスタの出力電極および該第4のトランジスタの共通電極に接続されている、電圧レベルシフタ。

【請求項2】 前記第1のトランジスタの共通電極は、前記第1の電源供給入力に接続されている、請求項1に記載の電圧レベルシフタ。

【請求項3】 前記第3のトランジスタの制御電極は、第1のバイアス電圧入力に接続されている、請求項1または2に記載の電圧レベルシフタ。

【請求項4】 前記第3のトランジスタの制御電極は、前記第2の入力に接続されている、請求項1または2に記載の電圧レベルシフタ。

【請求項5】 前記第1の入力は、第8のトランジスタの主たる導電経路を介して前記第1および第4のトランジスタの制御電極に接続されており、該第8のトランジスタの制御電極は直接ゲーティング信号を受け取る第1のゲーティング入力に接続されている、請求項1から4のいずれかに記載の電圧レベルシフタ。

【請求項6】 前記第1の入力は、第8のトランジスタの主たる導電経路を介して前記第1および第4のトランジスタの制御電極に接続されており、該第8のトランジスタの制御電極は直接ゲーティング信号を受け取る第1のゲーティング入力に接続されており、前記第3のトランジスタの制御電極は、反転ゲーティング信号を受け取る第2のゲーティング入力に接続されている、請求項1または4に記載の電圧レベルシフタ。

【請求項7】 前記第2のトランジスタの制御電極は、第9のトランジスタの主たる導電経路を介して前記第2の電源供給入力に接続されており、該第9のトランジスタの制御電極は前記第2のゲーティング入力に接続されている、請求項6に記載の電圧レベルシフタ。

【請求項8】 前記第1のトランジスタの制御電極は、第10のトランジスタの主たる導電経路を介して前記第2の電源供給入力に接続されており、該第10のトランジスタの制御電極は前記第2のゲーティング入力に接続されている、請求項6または7に記載の電圧レベルシフタ。

【請求項9】 前記出力はインバータの入力に接続されている、請求項1から8のいずれかに記載の電圧レベルシフタ。

【請求項10】 前記トランジスタの各々は電界効果トランジスタであり、前記出力電極、前記制御電極および前記共通電極はそれぞれ、ドレイン電極、ゲート電極およびソース電極である、請求項1から9のいずれかに記載の電圧レベルシフタ。

【請求項11】 前記トランジスタの各々はアモルファスシリコン薄膜トランジスタである、請求項10に記載の電圧レベルシフタ。

【請求項12】 前記トランジスタの各々はポリシリコン薄膜トランジスタである、請求項10に記載の電圧レベルシフタ。

【請求項13】 CMOS集積回路の少なくとも一部を含んでなる、請求項10から12のいずれかに記載の電圧レベルシフタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電圧レベルシフタに関する。本発明のシフタは例えば、大面積シリコンーオンーインシュレータ(SOI)回路において、より小さい振幅を有する信号とのインターフェースをとるために用いられ得る。そのようなアプリケーションの一例として、低温ポリシリコン薄膜トランジスタ(TFT)を用いて作製される、液晶ディスプレイなどのフラットパネルマトリクスディスプレイ用のモノリシックドライバ回路(3.3～5ボルトの信号レベルと10～20ボルトの信号レベルとの間のインターフェースをとることがしばしば要求される)がある。他のアプリケーションとしては、ランダムアクセスメモリ(RAM)においてラインセンスアンプの応答時間の改善に用い得る。

【0002】

【従来の技術】図1は、単純な電圧レベルシフタとして用いられ得る、基本的なCMOSインバータを示している。このインバータは、P型トランジスタT1およびN型トランジスタT2を有しており、これらのトランジスタのドレインは互いに接続され、ソースは電源線vddおよび接地線gndにそれぞれ接続されている。トランジスタT1およびT2のゲートは互いに接続され、ともに入力端子INに接続されている。トランジスタT1およびT2のドレインは互いに接続され、ともに反転出力！OUTに接続されている。

【0003】

【発明が解決しようとする課題】入力信号は、インバータスイッチポイントを基準として、電源線vddおよび接地線gndによって規定される電圧未満の論理レベル間を、振動し得る。出力は電源線vddおよび接地線gndの電圧とほぼ等しい電圧レベルの間で振動するため、このインバータはレベルシフタとして動作し得る。しかし実用においてはこのレベルシフトの程度は比較的小さい。なぜなら、インバータスイッチポイントに近い電圧は、トランジスタT1およびT2の同時的かつ望ましくない導通をさせてしまうからである。これが起こらないための条件は、

【0004】

【数1】

$$|\Delta V_{IN}| > V_{DD} - V_{Tn} - |V_{Tp}|$$

【0005】である。上式において、VDDは電源線vdd上の電圧である。VTnおよびVTpはそれぞれ、N型トランジスタおよびP型トランジスタのしきい電圧である。

【0006】図2は、例えばUS4707623号に開示されている、別のタイプの低入力電圧用の信号入力レベルシフタを示している。このシフタは、第1のP型トランジスタT1および第2のN型トランジスタT2を含む第1の回路分岐部を有している。第1のトランジスタT1および第2のトランジスタT2のドレインは互いに接続され、ともに反転出力！OUTに接続されている。第1のトランジスタT1および第2のトランジスタT2のソースはそれぞれ、電源線vddおよび接地線gndに接続されている。またこのシフタは、第3のP型トランジスタT3および第4のP型トランジスタT4を含む第2の回路分岐部を有している。第3のトランジスタT3のソースは電源線vddに接続され、第4のトランジスタT4のドレインは接地線gndに接続されている。トランジスタT3のドレインはトランジスタT4のソースに接続され、かつトランジスタT2のゲートに接続されている。入力INは、トランジスタT1およびT4のゲートに接続されている。バイアス電圧入力Vbは、トランジスタT3のゲートに接続されている。トランジスタT3およびT4は、ソースフォロワ接続されており、その出力電圧は、トランジスタT3およびT4がマッチングされておりかつ飽和状態にあるとき、VIN+(VDD-Vb)で与えられる。入力信号はトランジスタT1のゲートを直接駆動する。一方ソースフォロワの出力は、正方向に(VDD-Vb)だけシフトされた入力信号のコピーを用いて、トランジスタT2のゲートを駆動する。これらの電圧レベルはトランジスタT1およびT2をスイッチするために十分であり、トランジスタT1およびT2は、電源電圧より実質的に低いhigh状態論理入力レベルおよび、接地電位と実質的に等しいlow状態論理入力レベルを有する、プッシュプルデバイスとして動作する。

【0007】図3は、図2に示すレベルシフタを、バイアス電圧入力Vbを接地に接続した状態で0～5ボルト入力を15～0ボルト出力にシフトするために用いた場合の、シミュレーション結果を示す。このシミュレーションにおいて、適正な動作が得られるようにトランジスタT2が他のトランジスタの幅の2倍にされている以外は、全てのトランジスタは等しいサイズにされている。このシミュレーションにおいて出力！OUTには、図1に示すタイプのインバータの入力が負荷として与えられている。シミュレーションされたトランジスタ性能は、低温ポリシリコンTFT技術で達成される性能と同等である。

【0008】図3は、入力信号IN、出力信号！OUTおよび電源電圧VDDの電圧レベルを示している。

また、このシミュレーションにおいて出力が接続されていることを想定しているインバータの、スイッチングレベルも示している。出力！OUTは、インバータのスイッチポイントを基準にして、特に2. 3ボルトと10. 4ボルトとの間で振動する。しかし、出力における電圧の変化が小さいので、インバータスイッチレベルを基準にした十分な電圧振動を確実にするためには、トランジスタT1およびT2のスケーリングは比較的正確になされなければならない。またこの信号は、インバータトランジスタの少なくとも1つを十分にはオフにせず、このため、インバータ中での消費電流が比較的高くなる。

【0009】図4は、A. BellaouarおよびM. Elmasry, "Low-power Digital VLSI Design Circuits and Systems", Kluwer Academic Publishers, 1995に開示されたタイプの、公知のタイプのCMOSセンスアンプを示している。このセンスアンプは、第2のP型トランジスタT2、第6のP型トランジスタT6、第1のN型トランジスタT1、第5のN型トランジスタT5、および第7のN型トランジスタT7を有している。トランジスタT7はテール電流源として機能し、そのソースは接地gndに接続され、ゲートはバイアス電圧入力Vbに接続されている。トランジスタT1およびT5はロングテールペア接続されており、トランジスタT1およびT5のソースはトランジスタT7のドレインに接続され、トランジスタT1のゲートは直接入力信号を受け取る第1の入力INに、そしてトランジスタT5のゲートは反転入力信号を受け取る第2の入力！INにそれぞれ接続されている。トランジスタT1のドレインは出力！OUTおよびトランジスタT2のドレインに接続されており、トランジスタT5のドレインは出力OUTおよびトランジスタT6のドレインに接続されている。トランジスタT2およびT6のソースは電源線vddに接続されている。トランジスタT2のゲートはトランジスタT6のドレインに接続されており、トランジスタT6のゲートはトランジスタT2のドレインに接続されている。

【0010】従ってこのセンスアンプは、2つの差動入力および2つの差動出力を有する。このアンプの動作説明のために、トランジスタは完全にマッチングされており、同じ入力電圧レベルが入力に供給されていることにより、テール電流は、トランジスタT1およびT2を含む第1の回路分岐部とトランジスタT5およびT6を含む第2の回路分岐部とに等しい分量が流れるものと仮定する。この条件は準安定であり、差動入力電圧の揺動にตอบสนองして変化する。例えば、入力INにおける電圧が反転入力！INにおける電圧よりも少し高ければ、トランジスタT1はトランジスタT5よりも強くオン状態になる。これは、反転出力！OUTにおける電圧を低下させる効果を有する。トランジスタT6はよりオンにされ、これは直接出力OUTにおける電圧を増加させる。従ってトランジスタT2はさらにオフにされ、このことにより反転出力！OUTにおける電圧を低下させかつ出力OUTにおける電圧を増加させる。このように、入力INおよび！INに供給される電圧間のわずかなアンバランスが、センスされて増幅される。しかし、幾分かのテール電流が常に流れているため、出力電圧は接地電位と電源線電位との間を振動し得ない。

【0011】図5は、図4に示すアンプの「反転論理」による構成例を示している。特に、トランジスタの導電型を逆にし、電源電圧の極性を逆にしている。このような構成は、入力および出力のlow論理状態側を接地した状態で入力のhigh論理状態をレベルシフトするために、より有用である。

【0012】図6は、図5に示すアンプのシミュレーション結果を示している。このシミュレーションでは、図2のシフトのシミュレーション結果を示す図3と同じ条件を用いている。まず、直接入力信号INがlowであり(従って反転入力信号！INがhighである)、かつ反転出力信号！OUTがhighである(従って直接出力OUTがlowである)。入力信号の状態が変化すると、トランジスタT5はトランジスタT1よりも強くオン状態になる。トランジスタT5は、トランジスタT6に抑制されながら、出力OUTをhighに上げ始める。この抑制は、トランジスタT2のゲートがしきい値に達し、出力！OUTを放電してトランジスタT6をオフし始めるまで続く。従って、これらの出力は、3. 0ボルトから13. 6ボルトの間の電圧振動をとまって変化する。

【0013】図7は、シングルエンド電流ミラーセンスアンプを示している。この構成は、トランジスタT2およびT6が電流ミラー接続されている点において、図4に示す構成とは異なる。このようなアンプは、N. WesteおよびK. Eshraghian, "Principles of CMOS VLSI Design", Addison Wesley, 1993に開示されており、スタティックRAM回路において普通に用いられているものである。図7のアンプの動作は図4に示したものと同様である。

【0014】図8は、論理high入力状態を接地に対してブーストするための、別の公知のタイプのレベルシフタを示している。このアンプは、P型トランジスタT2a、T2b、T6a、およびT6bならびに、N型トランジスタT1およびT5を有しており、N型トランジスタの幅の方が他のトランジスタの幅よりも有意に広がっている。トランジスタT2b、T2aおよびT1は電源線vddと接地gndとの間に直列に接続されており、一方、トランジスタT6b、T6aおよびT5が電源線vddと接地gndとの間に直列に接続されている。トランジスタT1およびT5のドレインはそれぞれ出力！OUTおよびOUTに接続されている。トランジスタT2aおよびT1のゲートは入力INに接続されている。トランジスタT6aおよびT5のゲートは反転入力！INに接続されている。トランジスタT2bおよびT6bのゲートはそれぞれ出力OUTおよび！OUTに接続されている。

【0015】図8のアンプの動作説明のために、入力INはlow状態にあり、入力！INはhigh状態にあり、出力OUTはlow状態にあり、出力！OUTはhigh状態にあるものと仮定する。入力INがhighになり反転入力！INがlowになるように入力がスイッチングされると、トランジスタT1がオンにされ、トランジスタT2aおよびT2bに抑制されながら出力！OUTを下げる。この抑制は、トランジスタT2bがオンされたままであるのに対し、トランジスタT2aは入力INにおけるhigh入力論理レベルによって十分にはオフにされていないことに起因して発生する。トランジスタT1が出力！OUTをlowに下げると、トランジスタT6bはオンにされ、トランジスタT6bおよびT6aが導通することにより、トランジスタT2bをオフにする。出力状態は従ってスイッチングする。しかし、このレベルシフタは、入力論理レベルがN型トランジスタT1およびT5のしきい電圧よりも高くなければならないという制約を有する。

【0016】

【課題を解決するための手段】本発明によれば、第1の回路分岐部と、直接入力信号を受け取る第1の入力と、反転入力信号を受け取る第2の入力と、直接入力信号に対して反転されかつレベルシフトされた反転出力信号を生成するための出力とを有する電圧レベルシフタであって、第1の回路分岐部は、出力に接続された出力電極および第1の入力に接続された制御電極を有する、第1の導電型の第1のトランジスタと、出力に接続された出力電極、直接入力信号に対応する信号を受け取るように構成された制御電極、および第2の入力に接続された共通電極を有する、第1の導電型と反対である第2の導電型の第2のトランジスタと、を有する、電圧レベルシフタが提供され、第2のトランジスタの制御電極は第2の回路分岐部に接続され、第2の回路分岐部は、第1の導電型である第3および第4のトランジスタを有していてもよく、第3および第4のトランジスタの主たる導電経路は第1および第2の電源供給入力間に直列に接続されており、第4のトランジスタの制御電極は第1の入力に接続されており、第2のトランジスタの制御電極は第3のトランジスタの出力電極および第4のトランジスタの共通電極に接続されており、そのことにより上記目的が達成される。

【0017】第1のトランジスタの共通電極は、第1の電源供給入力に接続されていてもよい。

【0018】第3のトランジスタの制御電極は、第1のバイアス電圧入力に接続されていてもよい。

【0019】第3のトランジスタの制御電極は、第2の入力に接続されていてもよい。

【0020】第1の入力は、第8のトランジスタの主たる導電経路を介して第1および第4のトランジスタの制御電極に接続されており、第8のトランジスタの制御電極は直接ゲーティング信号を受け取る第1のゲーティング入力に接続されていてもよい。

【0021】第3の制御電極は、反転ゲーティング信号を受け取る第2のゲーティング入力に接続されていてもよい。

【0022】第2のトランジスタの制御電極は、第9のトランジスタの主たる導電経路を介して第2の電源供給入力に接続されており、第9のトランジスタの制御電極は第2のゲーティング入力に接続されていてもよい。

【0023】第1のトランジスタの制御電極は、第10のトランジスタの主たる導電経路を介して第2の電源供給入力に接続されており、第10のトランジスタの制御電極は第2のゲーティング入力に接続されていてもよい。

【0024】出力はインバータの入力に接続されていてもよい。

【0025】トランジスタの各々は電界効果トランジスタであり、出力電極、制御電極および共通電極はそれぞれ、ドレイン電極、ゲート電極およびソース電極であってもよい。

【0026】トランジスタの各々はアモルファスシリコン薄膜トランジスタであってもよい。

【0027】トランジスタの各々はポリシリコン薄膜トランジスタであってもよい。

【0028】レベルシフタは、CMOS集積回路の少なくとも一部を含んでなってもよい。

【0029】このようにして、レベルシフタの性能を改善することが可能である。特に、以下の利点のうち1つ以上が達成され得る。(a)非常に低い入力電圧による動作を可能にする改善された感度。

(b)より高速な応答時間。(c)プロセス変動に対するより大きなロバスト性。(d)改善された論理レベル電圧から得られるより低い消費電力。(e)エラーの無い、より大きな電圧レベルシフト。

【0030】

【発明の実施の形態】以下に、本発明を図面を参照してさらに説明する。図面において、同じ参照符号は同じ部材を指す。

【0031】図9に示すレベルシフタは、図2に示すものと同様であるので、差違部分のみを説明する。特に、第2のトランジスタT2のソースは、反転入力信号(すなわち入力INに供給される直接入力信号の論理的補数である信号)を受け取る、第2の反転入力！INに接続されている。

【0032】図9のレベルシフタの動作において、入力INがhighであり、入力！INがlowであるとき、前述した図2のレベルシフタと同様の動作を行う。従って出力！OUTは図10に示すように、2. 3ボルトに下げられる。入力INがlowになり、入力！INがhighになると、第3のトランジスタT3は強くオンにされ、出力！OUTをhighに引き上げようとする。第3および第4のトランジスタT3およびT4で形成さ

れるソースフォロワは、電源電圧VDD(15ボルト)よりも低くかつトランジスタT2をオンにするのに十分な電圧で、トランジスタT2のゲートを駆動する。入力！INにおける5ボルト入力はトランジスタT2のソースに供給され、そのことによりトランジスタT2のゲートソース電圧を減少させ、結果として出力！OUTにおけるゲートオーバードライブおよびプルダウン能力が制限される。

【0033】結果、第1のトランジスタT1の作用により、出力！OUTは14.4ボルトまで引き上げられる。これにより、図2に示したレベルシフタによって得られる図3に示す出力振動と比較して、より大きな出力振動が、図10に示すように得られる。図9に示すように、出力！OUTは、例えば図1に示すタイプであるインバータの入力に接続され得る。より大きな出力電圧振動により、インバータがより完全にスイッチングされ、また、トランジスタT1とT2との相対的なスケールリングがあまり重要ではなくなる。

【0034】図11に示すレベルシフタは、トランジスタT3のゲートが反転入力！INに接続されている点において、図9に示すものとは異なっている。従って反転入力信号は、トランジスタT3およびT4を含んでなるソースフォロワへバイアス電圧を供給し、出力！OUTにおいて提供される出力電圧振動を増加する。入力INがhighであり入力！INがlowのとき、トランジスタT3に供給されるバイアス電圧は0ボルトである。

【0035】下記の式で与えられるソースフォロワの伝達特性は、出力電圧、ひいてはトランジスタT2のゲートを最大にブーストさせる。

【0036】

【数2】

$$V_{OUT} \equiv V_{IN} + (VDD - Vb)$$

【0037】これにより、出力！OUTが極限まで引き下げられることを容易にする。しかしながら、入力INがlowでありかつ入力！INがhighのときは、トランジスタT3に供給されるバイアス電圧は小さい正の電圧である。従って、ソースフォロワはより小さい電圧シフトで動作し、トランジスタT2のゲート電圧がより低くなることにより出力！OUTがより高く引き上げられることを確実にする。

【0038】図12は、クロス結合されたN型CMOSセンスアンプとしてのレベルシフタを示している。図12のレベルシフタは、図5に示すものと同様であるため、その差違部分のみを説明する。特に、第2のトランジスタT2のソースは入力！INに接続され、第6のトランジスタT6のソースは入力INに接続されている。このため、トランジスタT2およびT6のゲートソース電圧を変化させることにより、高速にレベルシフタをスイッチングできる。

【0039】図12のレベルシフタの動作を図13に示す。図13は、前述と同様なパラメータのシミュレーション結果である。この場合レベルシフタの出力は、図5のレベルシフタの振動(図6)と同じ電圧レベル間で振動するが、入力信号の変化に対する応答はずっと高速である。例えば、入力INがhighになると、第5のトランジスタT5は第1のトランジスタT1よりも強くオン状態になる。トランジスタT5は、トランジスタT6に抑制されながら出力OUTをhighに引き上げ始める。しかし、トランジスタT6のソース端子電圧が5ボルトに上がることにより、トランジスタT6のゲートオーバードライブが減少される効果を有する。その結果、トランジスタT5は出力OUTおよびトランジスタT2のゲートをより高速に充電することができる。

【0040】逆の入力変化に際しても同じ動作が起こる。従って、レベルシフタの応答はより高速である。

【0041】図14は、図7に示したタイプのソース結合電流ミラーセンスアンプを示すが、ただし極性が逆であり、図12のレベルシフタにおけると同様にトランジスタT2およびT6のソースがそれぞれ入力！INおよびINに接続されている。従って図12のレベルシフタについて上述したのと同様な基本動作およびレベルシフトの改善が得られる。

【0042】図15に示すレベルシフタは、図9に示すレベルシフタをもとに、ゲーティングを提供するように改変されている。従って、クロック信号CKを受け取るように図示されている直接入力は、第8のトランジスタT8のソースに接続されている。第8のトランジスタT8のドレインは、トランジスタT1およびT4のゲートに接続されている。第8のトランジスタT8のゲートは、直接ゲーティング信号Gを受け取るゲーティング入力に接続されている。トランジスタT3のゲートは、反転ゲーティング信号を受け取る第2のゲーティング入力！Gに接続されている。トランジスタT2のゲートは、第9のトランジスタT9のソースドレイン経路を介して接地に接続されている(第9のトランジスタT9のゲートは第2のゲーティング入力！Gに接続されている)。トランジスタT1のゲートは、第10のトランジスタT10のソースドレイン経路を介して接地に接続されている(第10のトランジスタT10のゲートは第2のゲーティング入力！Gに接続されている)。上記構成により、このレベルシフタは、入力Gおよび！Gにおけ

るゲーティング信号によって抑止状態にスイッチングされたとき、ほとんど電流を流さないことを可能にする。入力Gおよび！Gがそれぞれhighおよびlowであることによりレベルシフタがイネーブルされるとき、トランジスタT8は、直接入力信号をトランジスタT1およびT4のゲートに渡す。トランジスタT2のソースは、レベルシフタの第2の入力において反転クロック信号！CKを受け取る。結果としてトランジスタT3のゲートは接地されることにより、ソースフォロワは、入力信号に最大ブーストが与えられるように動作する。トランジスタT9およびT10がオフにされることにより、図9のレベルシフタについて前述したのと同様に本レベルシフタは動作する。

【0043】ゲーティング信号Gおよび！Gがそれぞれlowおよびhighであるとき、トランジスタT9およびT10がオンにされることにより、トランジスタT2がオフにされ、トランジスタT1がオンにされ、そしてトランジスタT1およびT2のドレイン上の出力がhighになる。トランジスタT3がオフ状態であり、トランジスタT1およびT4がトランジスタT8(オフ状態である)によってクロック信号CKから切り離されるため、トランジスタT16およびT17によって形成されるインバータIの出力はlowに保たれる。

【0044】イネーブルモード動作およびディスエーブルモード動作の両方において、相補的クロック信号CKおよび！CKは、いずれのトランジスタのゲートも直接には駆動しない。むしろ、クロック信号は、トランジスタT2およびT8によってゲーティングされる。従ってクロック信号を供給する配線上の容量性負荷が減少される。

【0045】図16は図15のレベルシフタのシミュレーション結果を示している(前述と同じパラメータを使用)。下側の波形図は相補的なゲーティング信号を示しており、上側の波形図は相補的なクロック信号およびインバータIの出力Oを示している。このように、このレベルシフタは、ゲーティング信号によってイネーブルされたときにのみクロック信号がレベルシフトされた信号を提供する。その他の場合には、出力Oは論理レベルlowに保たれる。

【0046】図17は、図12に示すレベルシフタに基づき、図15に示すタイプのインバータIを備えた、ゲーティング化レベルシフタを示している。図17に示すレベルシフタは、相補的クロック入力信号CKおよび！CKを用い、相補的なゲーティング信号またはイネーブル信号を受け取る第1および第2のゲーティング入力Gおよび！Gを用いている。入力は、第1および第2のトランジスタT11およびT12のソースドレイン経路を介して、トランジスタT1およびT5のゲートならびにトランジスタT6およびT2のソースにそれぞれ接続されている。トランジスタT11およびT12のゲートは、第1のゲーティング入力Gに接続されている。トランジスタT1およびT2のゲートは、プルアップトランジスタT13およびT14を介して電源線vddに接続されている。トランジスタT13およびT14のゲートは、ゲーティング入力Gに接続されている。

【0047】電流ソーストランジスタT7のゲートは、第2のゲーティング入力！Gに接続されている。インバータIの入力は、プルダウントランジスタT15を介して接地gndに接続されている。トランジスタT15のゲートは、第2のゲーティング入力！Gに接続されている。

【0048】ゲーティング入力Gおよび！Gがそれぞれhighおよびlowであるとき、レベルシフタはイネーブルされ、トランジスタT11およびT12は、相補的なクロック信号CKおよび！CKをそれぞれ、トランジスタT1およびT5のゲートならびにトランジスタT6およびT2のソースに渡す。トランジスタT7のゲートは接地されているため、センスアンプは高いテール電流で動作している。図18に示すように、出力Oは、適切なレベルシフトをもって反転クロック信号！CKの論理状態に追従する。

【0049】ゲーティング入力Gおよび！Gがそれぞれlowおよびhighであるとき、トランジスタT11およびT12は、入力をセンスアンプから切り離す。トランジスタT7がオフにされることにより、センスアンプに流れる電流は実質的に無くなる。プルアップトランジスタT13およびT14ならびにプルダウントランジスタT15がオンにされ、図18に示すように出力Oがそのデフォルトの論理low状態に保たれるようにする。従って、漏れ電流以外の電流はレベルシフタに流れない。

【0050】本発明は、図9に示すように、電源線vddと反転入力！INとの間に接続された相補的トランジスタT1およびT2を有する電圧レベルシフタが提供される。トランジスタT1のゲートは直接信号入力INに接続される。トランジスタT2のゲートは、直接入力信号がシフトされた信号を、トランジスタT3およびT4を有してなるソースフォロワから受け取る。レベルシフタはまた、ドレイン負荷トランジスタのソースが差動入力にクロス結合された、差動クロス結合センスアンプとしても実施され得る。

【0051】

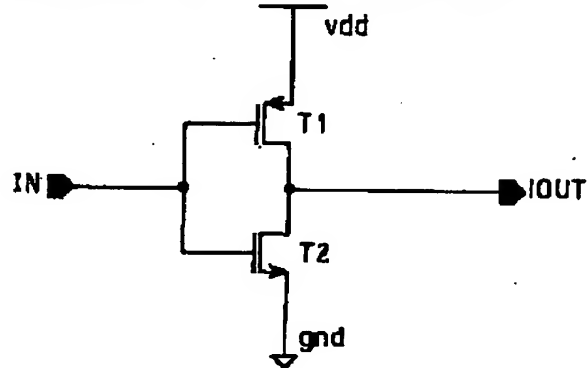
【発明の効果】本発明によれば、レベルシフタの性能を改善することが可能である。特に、以下の利点のうち1つ以上が達成され得る。(a)非常に低い入力電圧による動作を可能にする改善された感度。(b)より高速な応答時間。(c)プロセス変動に対するより大きなロバスト性。(d)改善された論理レベル電圧から得られるより低い消費電力。(e)エラーの無い、より大きな電圧レベルシフト。

【図面の簡単な説明】

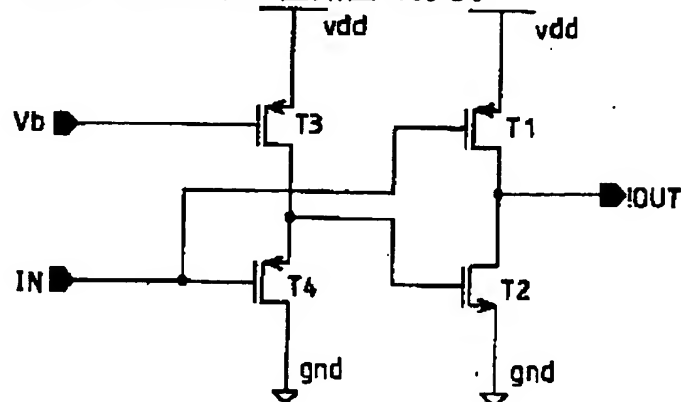
【図1】図1は、公知のタイプのCMOSインバータの回路図である。

- 【図2】図2は、公知のタイプのレベルシフタの回路図である。
 【図3】図3は、図2に示すレベルシフタのシミュレーション結果を示す波形図である。
 【図4】図4は、公知のタイプのセンスアンプの回路図である。
 【図5】図5は、図4に示すタイプであるが逆極性動作のセンスアンプの、回路図である。
 【図6】図6は、図5に示すレベルシフタのシミュレーション結果を示す波形図である。
 【図7】図7は、別の公知のタイプのセンスアンプの回路図である。
 【図8】図8は、公知のタイプのレベルシフタの回路図である。
 【図9】図9は、本発明の第1の実施形態を構成するレベルシフタの回路図である。
 【図10】図10は、図9に示すレベルシフタのシミュレーション結果を示す波形図である。
 【図11】図11は、図9に示すタイプのレベルシフタの変形例としての、本発明の第2の実施形態を構成するレベルシフタの回路図である。
 【図12】図12は、本発明の第3の実施形態を構成するレベルシフタの回路図である。
 【図13】図13は、図12に示すレベルシフタのシミュレーション結果を示す波形図である。
 【図14】図14は、本発明の第4の実施形態を構成するレベルシフタの回路図である。
 【図15】図15は、本発明の第5の実施形態を構成するゲーティング化レベルシフタの回路図である。
 【図16】図16は、図15に示すレベルシフタのシミュレーション結果を示す波形図である。
 【図17】図17は、本発明の第6の実施形態を構成するゲーティング化レベルシフタの回路図である。
 【図18】図18は、図17に示すレベルシフタのシミュレーション結果を示す波形図である。
 【符号の説明】T1 第1のトランジスタ T2 第2のトランジスタ

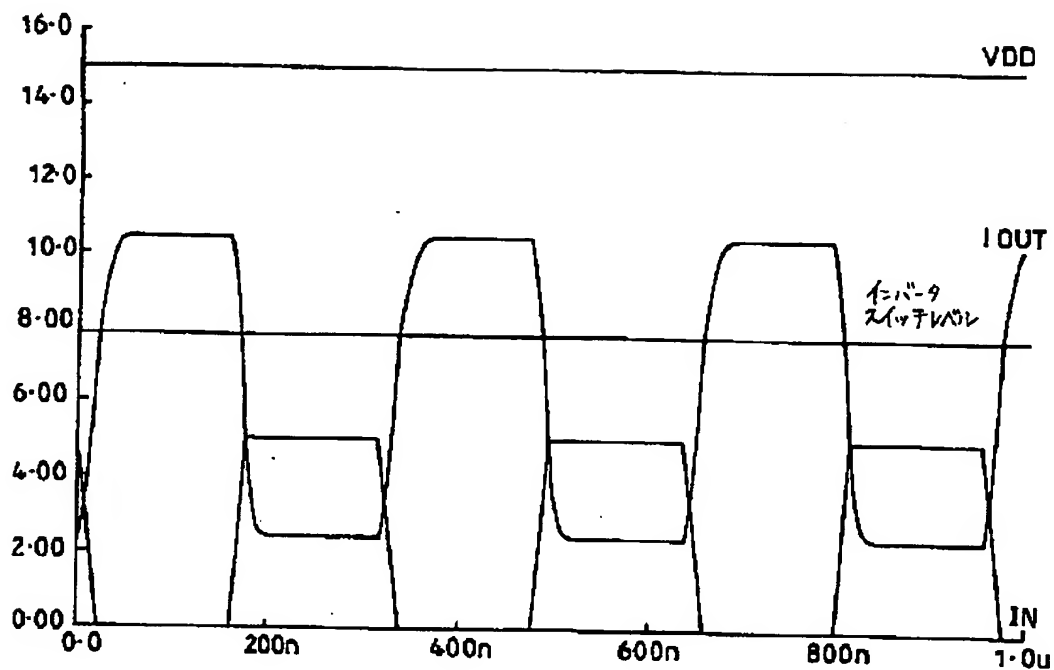
【図1】図1は、公知のタイプのCMOSインバータの回路図である。



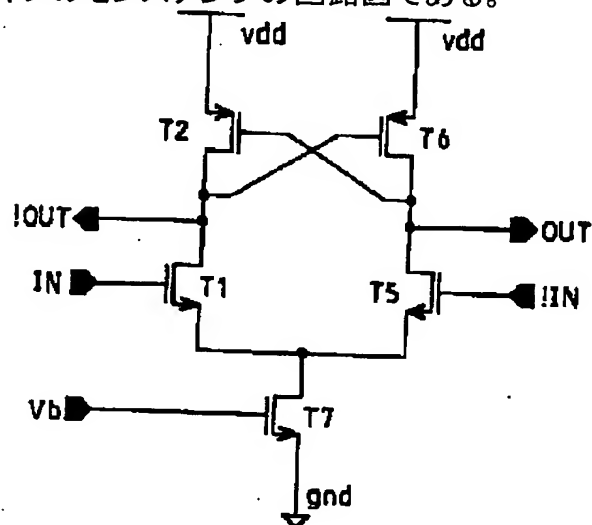
【図2】図2は、公知のタイプのレベルシフタの回路図である。



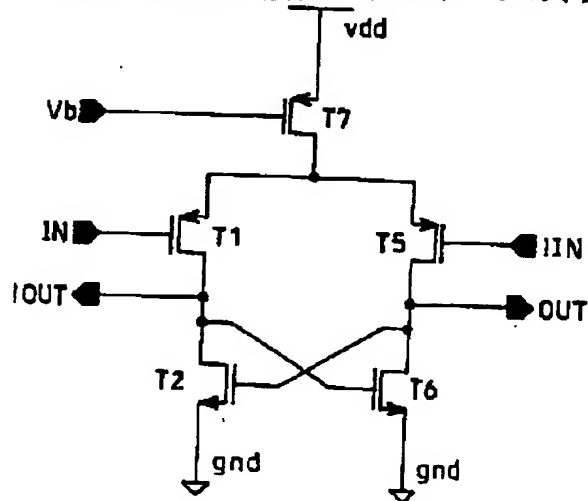
【図3】図3は、図2に示すレベルシフタのシミュレーション結果を示す波形図である。



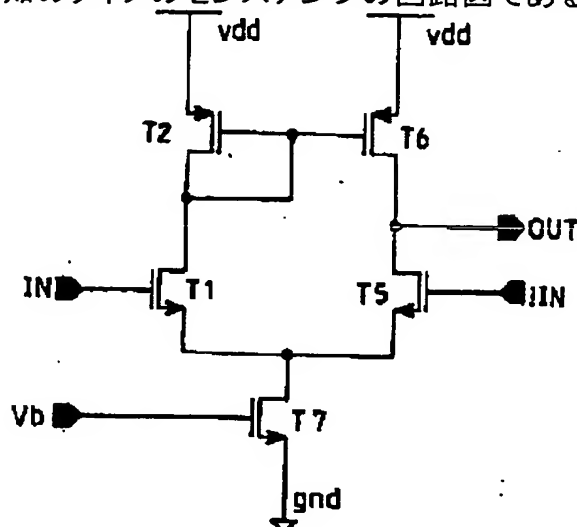
【図4】図4は、公知のタイプのセンスアンプの回路図である。



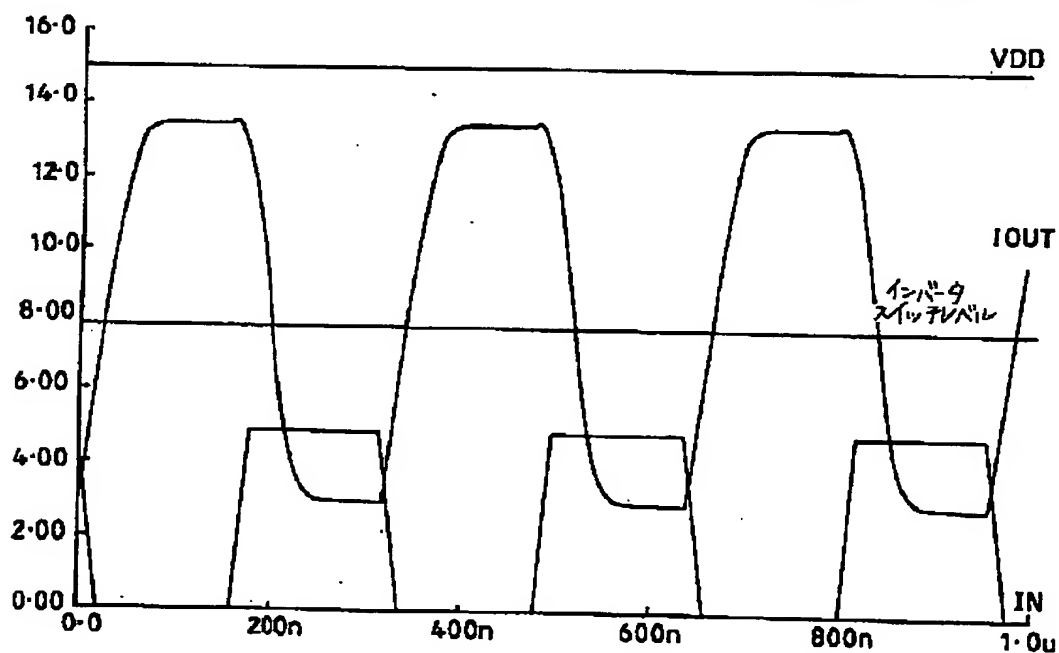
【図5】図5は、図4に示すタイプであるが逆極性動作のセンスアンプの、回路図である。



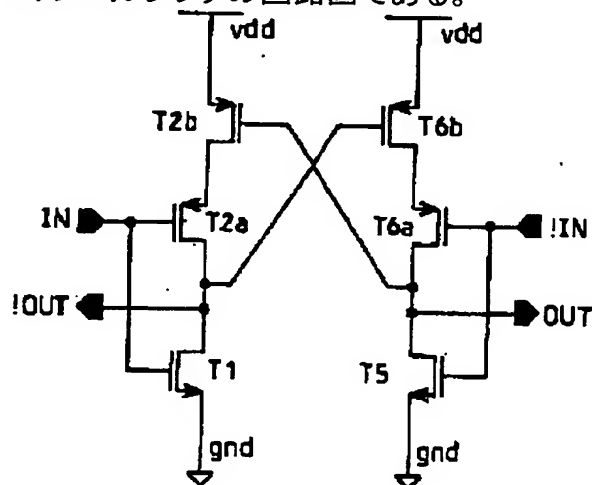
【図7】図7は、別の公知のタイプのセンスアンプの回路図である。



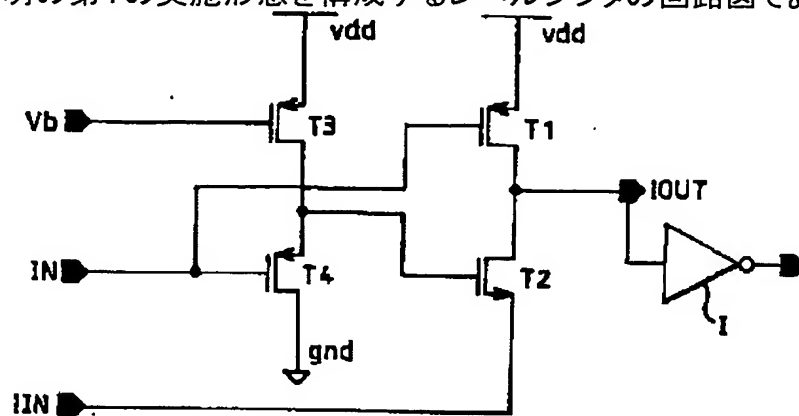
【図6】図6は、図5に示すレベルシフタのシミュレーション結果を示す波形図である。



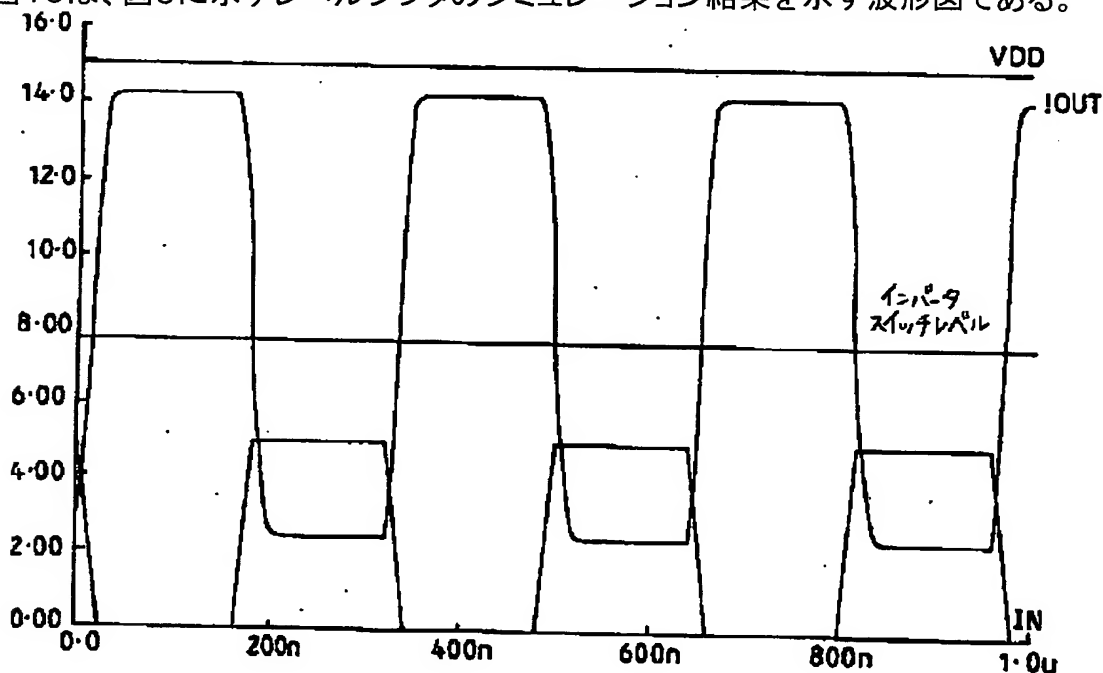
【図8】図8は、公知のタイプのレベルシフタの回路図である。



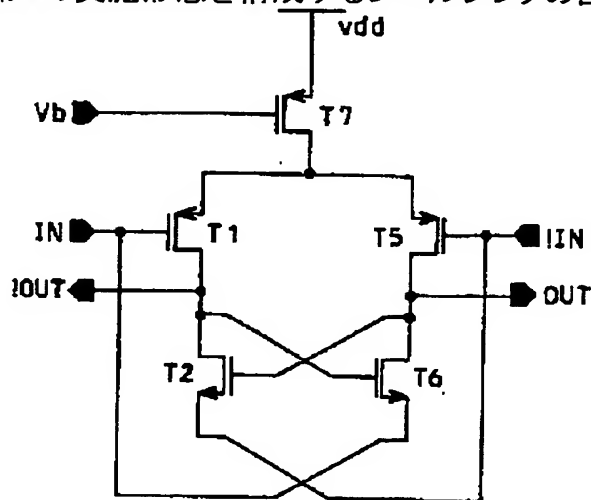
【図9】図9は、本発明の第1の実施形態を構成するレベルシフタの回路図である。



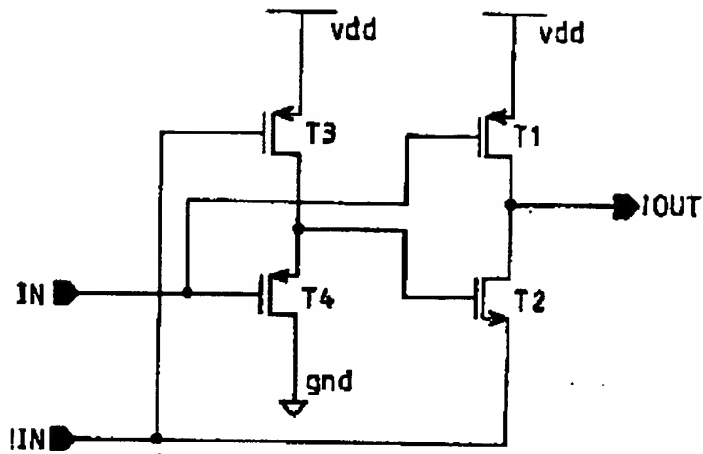
【図10】図10は、図9に示すレベルシフタのシミュレーション結果を示す波形図である。



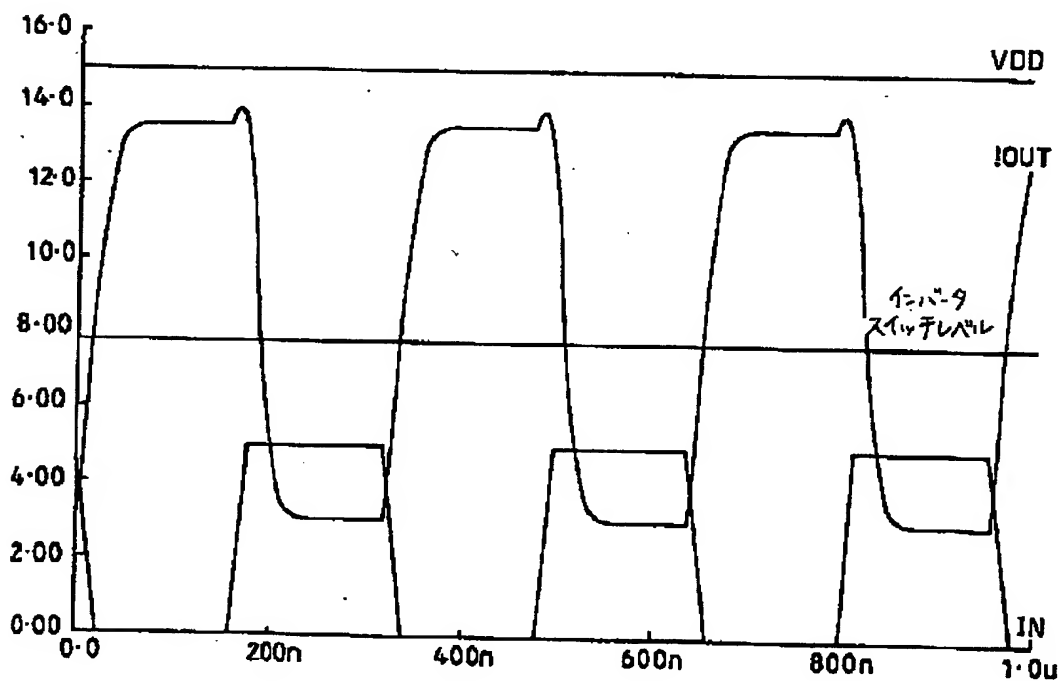
【図12】図12は、本発明の第3の実施形態を構成するレベルシフタの回路図である。



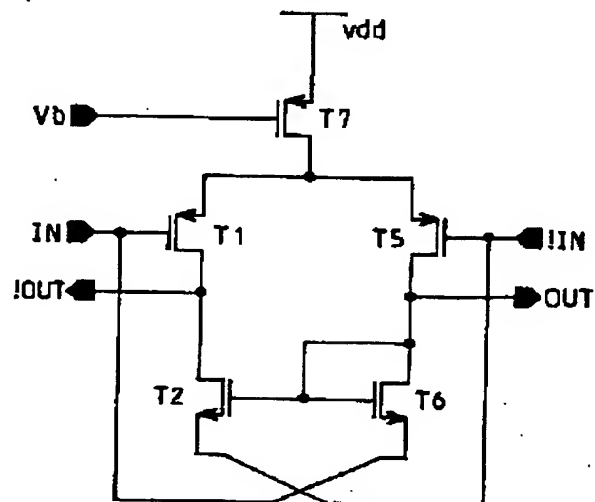
【図11】図11は、図9に示すタイプのレベルシフタの変形例としての、本発明の第2の実施形態を構成するレベルシフタの回路図である。



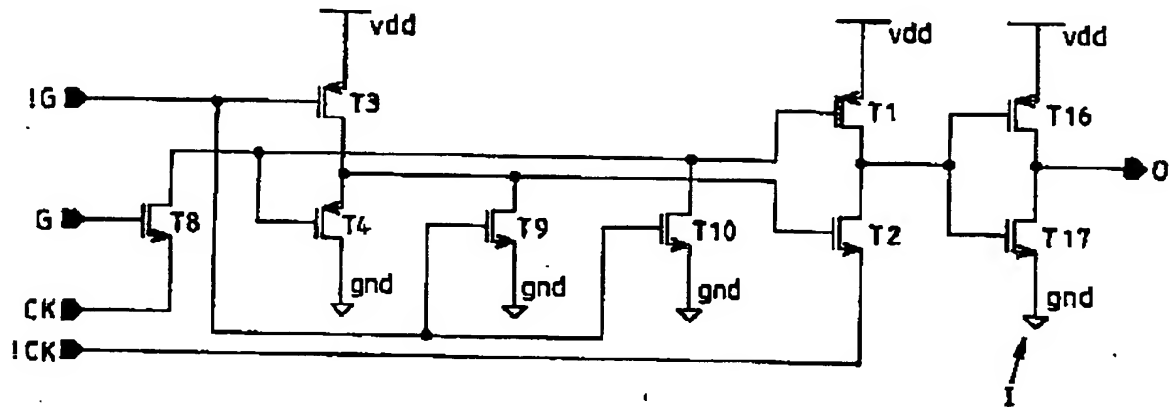
【図13】図13は、図12に示すレベルシフタのシミュレーション結果を示す波形図である。



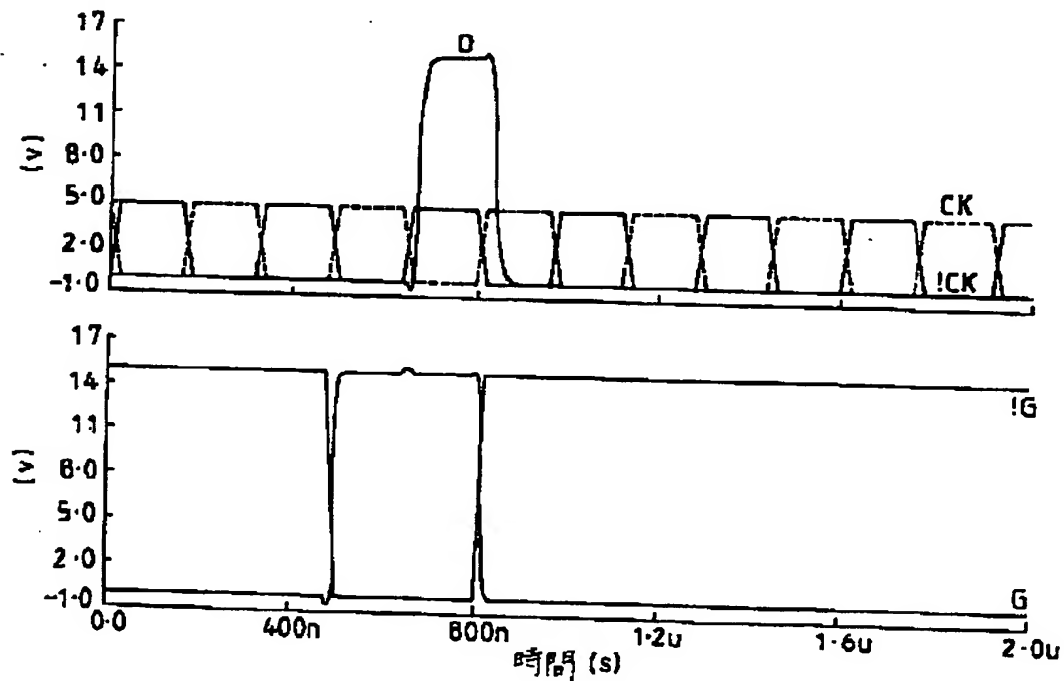
【図14】図14は、本発明の第4の実施形態を構成するレベルシフタの回路図である。



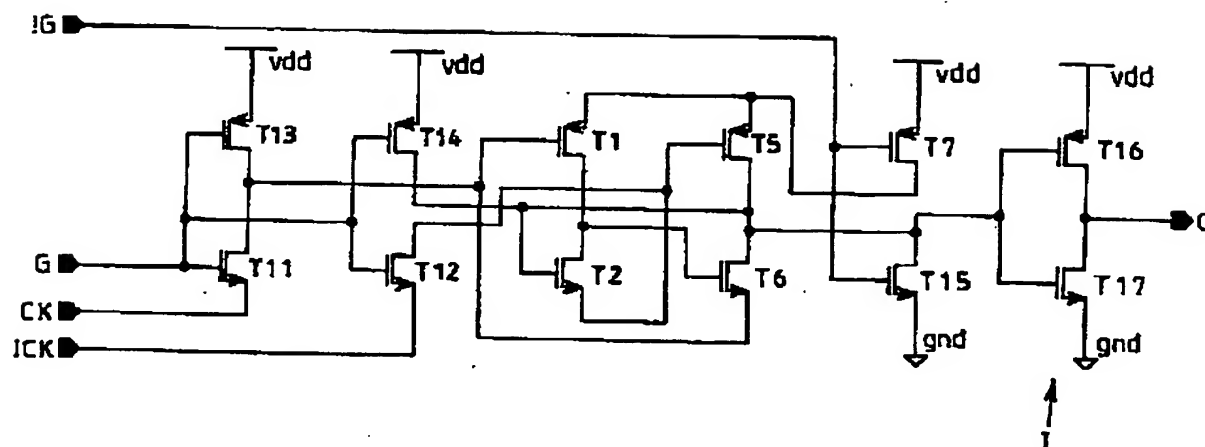
【図15】図15は、本発明の第5の実施形態を構成するゲーティング化レベルシフタの回路図である。



【図16】図16は、図15に示すレベルシフタのシミュレーション結果を示す波形図である。



【図17】図17は、本発明の第6の実施形態を構成するゲーティング化レベルシフタの回路図である。



【図18】図18は、図17に示すレベルシフタのシミュレーション結果を示す波形図である。

